



P.B.5818 - Patentlaan 2
2280 HV Rijswijk (ZH)
☎ +31 70 340 2040
TX 31651 epo nl
FAX +31 70 340 3016

**Eur päisches
Patentamt**

Zweigstelle
in Den Haag
Recherchen-
abteilung

**European
Pat nt Offic**

Branch at
The Hague
Search
division

**Office uropé n
des brev ts**

Département à
La Haye
Division de la
recherche

Hoffmann, Eckart, Dipl.-Ing.
Patentanwalt,
Bahnhofstrasse 103
82166 Gräfelfing
ALLEMAGNE

EINGEGANGEN
Patentanwalt Gräfelfing

22. OKT. 2001

WV: 21. Dec. 2001

Frist:

Not. B

Datum/Date

23.10.01

Zeichen/Ref./Réf.

A0/65081 WO EP

Anmeldung Nr./Application No./Demande n°/Patent Nr./Patent No./Brevet n°.

99952797.1-1524-JP9905967

Anmelder/Applicant/Demandeur/Patentinhaber/Proprietor/Titulaire

SEIKO EPSON CORPORATION

COMMUNICATION

The European Patent Office herewith transmits as an enclosure the European search report for the above-mentioned European patent application.

If applicable, copies of the documents cited in the European search report are attached.

☒ Additional set(s) of copies of the documents cited in the European search report is (are) enclosed as well.

REFUND OF THE SEARCH FEE

If applicable under Article 10 Rules relating to fees, a separate communication from the Receiving Section on the refund of the search fee will be sent later.



THIS PAGE BLANK (USPTO)



DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.7)
X	US 5 804 882 A (HIROSAWA YUKIHISA ET AL) 8 September 1998 (1998-09-08) * column 3, line 30 - column 5, line 49; figures 1,5,6 *	1-22	H01L21/60 H01L21/56 H01L23/498
X	----- PATENT ABSTRACTS OF JAPAN vol. 1998, no. 09, 31 July 1998 (1998-07-31) -& JP 10 092875 A (SEIKO EPSON CORP), 10 April 1998 (1998-04-10) * paragraphs '0018!', '0023!'; figures 2,3,5,6 *	1-22	
D, A	----- PATENT ABSTRACTS OF JAPAN vol. 017, no. 152 (E-1340), 25 March 1993 (1993-03-25) -& JP 04 317347 A (NEC CORP), 9 November 1992 (1992-11-09) * abstract *	1-22	
			TECHNICAL FIELDS SEARCHED (Int.Cl.7)
			H01L
The supplementary search report has been based on the last set of claims valid and available at the start of the search.			
Place of search BERLIN		Date of completion of the search 9 October 2001	Examiner Munnix, S
CATEGORY OF CITED DOCUMENTS			
X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document		T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons ----- & : member of the same patent family, corresponding document	

THIS PAGE BLANK (USPTO)

**ANNEX TO THE EUROPEAN SEARCH REPORT
ON EUROPEAN PATENT APPLICATION NO.**

EP 99 95 2797

This annex lists the patent family members relating to the patent documents cited in the above-mentioned European search report. The members are as contained in the European Patent Office EDP file on
The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

09-10-2001

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5804882	A	08-09-1998	CN	1185859 A	24-06-1998
			EP	0827632 A1	11-03-1998
			WO	9637913 A1	28-11-1996
			JP	9045731 A	14-02-1997
JP 10092875	A	10-04-1998	JP	2820147 B2	05-11-1998
			JP	2034951 A	05-02-1990
			JP	2820148 B2	05-11-1998
			JP	10092876 A	10-04-1998
JP 04317347	A	09-11-1992	NONE		

THIS PAGE BLANK (CSFTC)

E P



P C T

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 E P P C - 2 1 2 5	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。		
国際出願番号 PCT/J P 9 9 / 0 5 9 6 7	国際出願日 (日.月.年) 28.10.99	優先日 (日.月.年) 30.10.98	
出願人 (氏名又は名称) セイコーエプソン株式会社			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁶ H01L21/60

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁶ H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国公開実用新案公報 1971-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

U.S.C. 257/783

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5783867, A (Ford Motor Company) 21日.7月.1998 (21.07.98), (ファミリーなし)	1-22
A	J P, 10-112475, A (ソニー株式会社) 28日.4月.1998 (28.04.98), (ファミリーなし)	1-22

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09.11.99

国際調査報告の発送日

24.11.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川真田 秀男



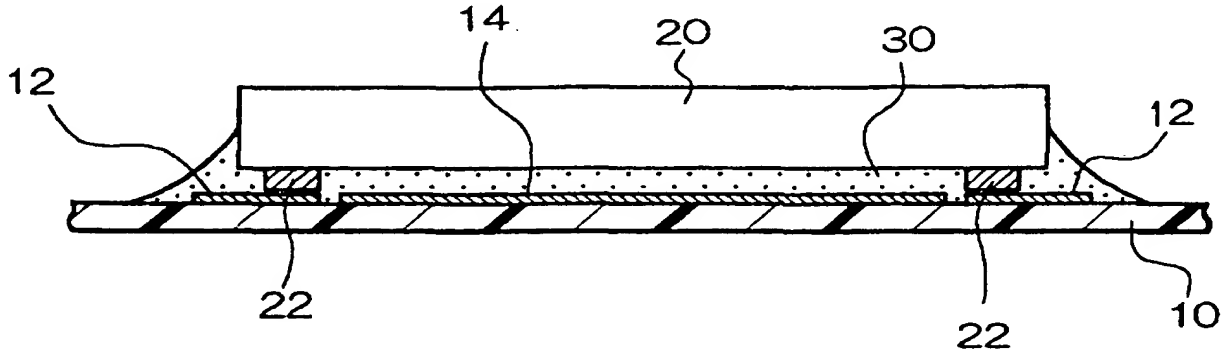
4 R

7220

電話番号 03-3581-1101 内線 3470

THIS PAGE BLANK (USPTO)



(51) 国際特許分類6 H01L 21/60	A1	(11) 国際公開番号 WO00/26959 (43) 国際公開日 2000年5月11日(11.05.00)
(21) 国際出願番号 PCT/JP99/05967 (22) 国際出願日 1999年10月28日(28.10.99) (30) 優先権データ 特願平10/326184 1998年10月30日(30.10.98) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 中山聡行(NAKAYAMA, Toshiyuki)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		(81) 指定国 JP, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書
(54)Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD AND ELECTRONIC DEVICE (54)発明の名称 半導体装置及びその製造方法、回路基板並びに電子機器  (57) Abstract A method of manufacturing a semiconductor device comprises the steps of applying adhesive (30) between a semiconductor element (20) and a substrate (10), aligning electrodes (22) with leads (12), and pressing the semiconductor element (20) and substrate (10) to decrease the gap between them. In an area where the leads (12) do not exist in the substrate (10), a film (14) is opposed to the semiconductor element (20), and the adhesive (30) has weaker adhesion to the film than to the substrate (10).		

(57)要約

半導体装置の製造方法は、半導体素子（２０）と基板（１０）との間に接着剤（３０）を設ける工程と、電極（２２）とリード（１２）とを対向させて位置合わせする工程と、半導体素子（２０）と基板（１０）とを間隔が狭くなる方向に加圧する工程と、を含み、基板（１０）には、半導体素子（２０）の面と対向する領域であってリード（１２）を避ける領域に、基板（１０）よりも接着剤（３０）との接着性が低い膜（１４）が形成されている。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア・ビサウ	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
CA	カナダ	HR	クロアチア	ML	マリ	TR	トルコ
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UA	ウクライナ
CH	スイス	IE	アイルランド	MW	マラウイ	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MX	メキシコ	US	米国
CM	カメルーン	IN	インド	NE	ニジェール	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NL	オランダ	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NO	ノルウェー	YU	ユーゴスラビア
CU	キューバ	JP	日本	NZ	ニュージーランド	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	PL	ポーランド	ZW	ジンバブエ
CZ	チェッコ	KG	キルギスタン	PT	ポルトガル		
DE	ドイツ	KP	北朝鮮	RO	ルーマニア		
DK	デンマーク	KR	韓国				

明 細 書

半導体装置及びその製造方法、回路基板並びに電子機器

[技術分野]

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

[背景技術]

異方性導電膜を使用して基板間の電氣的接続をとる方法が知られている。また、特開平4-317347号公報には、この方法をフリップチップボンディングに適用して、半導体チップと基板とを接合することが記載されている。

異方性導電膜等の樹脂ベースからなる接着剤は、基板との接着性が高いので、接着剤自体の流動性が悪くなり、その結果、IC搭載部及びその周辺部に空孔やボイドが発生することがある。空孔やボイドには水分が溜まりやすいので信頼性に悪影響を及ぼすおそれがあった。

本発明は、この問題点を解決するものであり、その目的は、IC搭載部及びその周辺部に空孔やボイドが発生しにくい半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

[発明の開示]

(1) 本発明に係る半導体装置の製造方法は、複数の電極を有する半導体素子の前記電極が設けられた面と、複数のリードの形成された基板の前記リードが形成された面と、の間に、接着剤を設ける工程と、

前記複数の電極のうちの少なくとも一つと、前記複数のリードのうちの少なくとも一つとを対向させて位置合わせする工程と、

前記半導体素子と前記基板とを間隔が狭くなる方向に加圧する工程と、

を含み、

前記基板の前記リードが形成された前記面には、前記半導体素子が接着される領域

の少なくとも一部の領域に、前記基板の基材よりも前記接着剤との接着性が低い膜が形成されている。

本発明によれば、接着剤によって半導体素子と基板とを接着するので、簡単に両者の接合が可能であり、しかも、電極とリードとの電氣的な接続を図るための、両者（半導体素子と基板）の強固な固持が可能となる。また、基板には、半導体素子が接着される領域の少なくとも一部を含む領域に、基板の基材よりも接着剤との接着性が低い膜が形成されている。したがって、この膜の表面では、空孔やボイドが分散しやすくなって許容できる程度に小さくなり、信頼性の高い半導体装置の製造が可能になる。

（２）この半導体装置の製造方法において、

前記接着剤は、絶縁性を有する母材に導電粒子が分散されて異方性導電材料を構成してもよい。

これによれば、導電粒子によって電極とリードとの電氣的な接続が可能であり、半導体素子と基板との接着とともに、電氣的な接続を同時（すなわち、一工程中）に行うことができる。

（３）この半導体装置の製造方法において、

前記リード及び前記膜を、前記基材に貼り付けられた導電箔をエッチングして形成してもよい。

こうすることで、少ない工程でリード及び膜を簡単に形成することができる。

（４）この製造方法において、

前記膜の形成には、前記リードを形成する際に用いられる導電箔が用いられてもよい。

（５）この半導体装置の製造方法において、

前記リードの形成と同時に前記膜を形成してもよい。

（６）この半導体装置の製造方法において、

前記電極を、前記半導体素子の前記面の端部に設け、

前記膜を、前記半導体素子の前記面の中央部に対向する領域に形成してもよい。

これによれば、空孔やボイドができやすい中央部に、接着剤との接着性の低い膜が形成されるので、大きな効果を得られる。

(7) この半導体装置の製造方法において、

前記膜を面状に形成し、前記基板の表面が露出する少なくとも一つの開口を前記膜に形成してもよい。

こうすることで、開口部では基板の表面が露出するので、この部分では接着剤による接着性が高まり、半導体素子と基板との接着力が高まる。

(8) この半導体装置の製造方法において、

前記膜を、前記半導体素子が接着される領域をはみ出して形成してもよい。

こうすることで、膜の、半導体素子からはみ出した部分上を通して、空孔やボイドを外部に逃がしやすい。

(9) この半導体装置の製造方法において、

前記膜を、前記半導体素子が接着される領域の中心点に対して、対称に形成してもよい。

これによれば、半導体素子に対して対称的な接着力を与えることができる。ここでいう「対称的な接着力」とは、バランスのとれた状態、もしくは、むらのない状態をいう。

(10) この半導体装置の製造方法において、

前記膜を、少なくとも1つの前記リードを避けた形状で形成してもよい。

(11) この半導体装置の製造方法において、

前記膜の一部を、前記電極と重なる位置に形成してもよい。

そして、膜と電極とを電氣的に接合してもよい。

(12) 本発明に係る半導体装置は、複数の電極を有する半導体素子と、複数のリードが形成された基板と、前記半導体素子の前記電極が設けられた面と前記基板の前記リードが形成された面との間に設けられて前記半導体素子と前記基板とを接着する接着剤と、

を含み、

前記複数の電極のうちの少なくとも一つと、前記複数のリードのうちの少なくとも一つとは電氣的に接続され、

前記基板には、前記半導体素子と対向する領域の少なくとも一部を含む領域に、前

記基板の基材よりも前記接着剤との接着性が低い膜が形成されている。

本発明によれば、接着剤によって半導体素子と基板とが接着されており、電極とリードとの電氣的な接続が図られている。基板には、半導体素子の面と対向する領域の少なくとも一部を含む領域に、基板の基材よりも接着剤との接着性が低い膜が形成されている。したがって、この膜の表面では、空孔やボイドが分散しやすくなって許容できる程度に小さくなり、信頼性が高くなっている。

(13) この半導体装置において、

前記接着剤は、絶縁性を有する母材に導電粒子が分散されて異方性導電材料を構成してもよい。

これによれば、導電粒子によって電極とリードとが電氣的に接続されており、半導体素子と基板との接着とともに、電氣的な接続が図られている。

(14) この半導体装置において、

前記リード及び前記膜は、同一の導電性材料で構成されていてもよい。

こうすることで、少ない工程でリード及び膜を簡単に形成することができる。

(15) この半導体装置において、

前記電極は、前記半導体素子の前記面の端部に設けられ、

前記膜は、前記半導体素子の前記面の中央部に対向する領域に形成されていてもよい。

このように、空孔やボイドができやすい中央部に、接着剤との接着性の低い膜が形成されるので、大きな効果を得ることができる。

(16) この半導体装置において、

前記膜は、面状に形成され、前記基板の表面が露出する少なくとも一つの開口を有してもよい。

こうすることで、開口部では基板の表面が露出するので、この部分では接着剤による接着性が高まり、半導体素子と基板との接着力が高まる。

(17) この半導体装置において、

前記膜は、前記半導体素子が接着される領域をはみ出して形成されていてもよい。

こうすることで、膜の、半導体素子からはみ出した部分上を通して、空孔やボイド

を外部に逃がしやすい。

(18) この半導体装置において、

前記膜は、前記半導体素子が接着される領域の中心点に対して、対称に形成されていてもよい。

これによれば、半導体素子に対して対称的な接着力を与えることができる。

(19) この半導体装置において、

前記膜は、少なくとも1つの前記リードを避けた形状で形成されていてもよい。

(20) この半導体装置において、

前記膜の一部は、前記電極と重なる位置に形成されていてもよい。

そして、膜と電極とを接合してもよい。

(21) 本発明に係る回路基板には、上記半導体装置が実装される。

(22) 本発明に係る電子機器は、上記半導体装置を有する。

[図面の簡単な説明]

図1は、本発明の第1の実施の形態に係る半導体装置を示す図である。

図2は、本発明の第1の実施の形態に係る半導体装置の基板を示す図である。

図3は、本発明の第2の実施の形態に係る半導体装置を示す図である。

図4は、本発明の第2の実施の形態に係る半導体装置の基板を示す図である。

図5は、本発明の第3の実施の形態に係る半導体装置を示す図である。

図6は、本発明の第4の実施の形態に係る半導体装置の基板を示す図である。

図7は、本発明の第5の実施の形態に係る半導体装置が実装された回路基板を示す図である。

図8は、本発明の第6の実施の形態に係る半導体装置を備える電子機器を示す図である。

図9は、本発明の第7の実施の形態に係る半導体装置を備える電子機器を示す図である。

図10は、本発明の第7の実施の形態に係る半導体装置の詳細を示す図である。

[発明を実施するための最良の形態]

以下、本発明の実施の形態を、図面を参照して説明するが、本発明はこれらの実施の形態に限定されるものではない。

(第1の実施の形態)

図1は、本発明を適用した第1の実施の形態に係る半導体装置を説明する図であり、図2は、図1に示す半導体装置で使用される基板を示す図である。本実施の形態に係る半導体装置は、基板10、半導体素子20及び接着剤30を含む。基板10は、基材と、基材上に形成された配線パターンや後述する膜14などを含む。

図1及び図2には、基板10の一部を切り欠いて示してあり、その全体形状は特に限定されず、矩形、多角形、あるいは複数の矩形を組み合わせた形状のいずれであってもよい。基板10の基材の厚みは、その材質により決まることが多いが、これも限定されない。基板10の基材の基材は、有機系又は無機系のいずれの材料から形成されたものであってもよく、これらの複合構造からなるものであってもよい。有機系の材料から形成された基板10の基材として、例えばポリイミド樹脂からなるフレキシブル基板が挙げられる。無機系の材料から形成された基板10の基材として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。

基板10の基材には、複数のリード12を含む配線パターンが形成されている。リード12の一部(例えば端部)には、必要があれば、半導体素子20の電極22とのボンディングのために、リード12の幅よりも大きいランド部を形成してもよい。隣同士のリード12の間隔は、30 μ m以上であることが好ましい。リード12は70 μ m程度のピッチで形成してもよい。なお、図2には、半導体素子20の電極22に接続される部位並びにその近辺の部位のリード12のみが示されているが、このリード12をさらに延長して外部接続用配線としてもよいし、電子部品に接続してもよい。

リード12は、基板10の基材の一方の面において、一部(例えば中央部)を避けて形成されている。例えば、複数のリード12が、基板10の基材の一部の領域(図2に示す例では矩形の領域)を囲んで形成されている。この場合、リード12を基板10の基材の端部に形成し、中央部にはリード12を形成しない構成にしてもよい。

複数のリード12のうちの一組のリード12は、一つの方向を向いて並列してもよい。また、複数の方向のそれぞれの方向を向くように複数のリード12を並列させてもよい。この場合、複数のリード12は、複数の方向を向く複数群のリード12に分けられる。なお、リード12は、基板10の基材の一方の面に加えて、他方の面にも形成することができる。

リード12は、導電性材料で構成されている。導電性材料として金属が挙げられる。例えば、銅の表面に金又は錫のメッキを施してリード12を形成することができる。あるいは、金でリード12を形成してもよい。

本発明では、リード12が基板10の基材に対して接着剤を介して貼り付けられた3層基板を使用してもよい。あるいは、リード12は、スパッタリング等により基板に銅などの導電性の膜を被着し、これをエッチングして形成することができる。この場合には、基板10の基材にリード12が直接形成され、接着剤が介在しない2層基板となる。もしくは、メッキでリード12を形成するアディティブ法を適用してもよい。あるいは、絶縁樹脂とリード12を含む配線パターンを積層して構成されるビルドアップ多層構造の基板や、複数の基板が積層された多層基板を使用してもよい。

基板10の基材表面には、膜14が形成されている。膜14は、基板10の基材表面よりも接着剤30との接着性が低いことが好ましい。膜14は、少なくとも一つの又は全部のリード12を避けて形成されている。膜14は、少なくとも一つの又は全部のリード12と接触しないように形成されている。複数のリード12のうちの全部ではなくて少なくとも一つが、膜14に接触していてもよい。例えば、接地電位（GND電位）に接続されるリード14を膜14に接触させて電氣的に導通させ、膜14全体を接地電位（GND電位）としてもよい。この場合、リード14よりも大きい膜14が接地電位（GND電位）となるので、その電位の急激な変化を吸収することができる。また、半導体素子20自体の電位も安定する。

リード12が基板10の基材の面の一部（例えば中央部）を避けて形成されている場合には、このリード12が避けた部分（例えば中央部）に、膜14を形成することができる。膜14の形状は、矩形、多角形又は複数の矩形を組み合わせた形状のいずれであってもよい。

膜 1 4 は、半導体素子 2 0 における電極 2 2 が形成された面と対向する領域に形成される。また、膜 1 4 は、半導体素子 2 0 が接着される領域の少なくとも一部を含む領域に形成される。詳しくは、膜 1 4 の全部、一部又は少なくとも一部と、半導体素子 2 0 における電極 2 2 が形成された面と、が平面視において重なっている。例えば、膜 1 4 は、半導体素子 2 0 における電極 2 2 が形成された面の範囲内（電極 2 2 が形成された面の投影領域内）に形成されてもよいし、膜 1 4 の一部がその面の範囲からはみ出してもよい。はみ出していれば、接着剤 3 0 内に生じた気泡を、膜 1 4 上で分散させて外に抜きやすい。

膜 1 4 は、半導体素子 2 0 の電極 2 2 を避ける形状で形成されていてもよい。あるいは、複数の電極 2 2 のうちの一群（少なくとも 1 つであって全部である場合を除く）と重複して接触するように形成されてもよい。この場合、膜 1 4 がリード 1 2 と比べて広い面積を有するので、電極 2 2 と膜 1 4 との位置合わせが簡単である。

図 2 に示す例では、膜 1 4 は、複数のリード 1 2 によって囲まれた領域（例えば矩形領域）内に形成されている。膜 1 4 は、半導体素子 2 0 が接着される領域の中心点を含んだ位置に形成されている。特に、その中心点からみて、対称（点対称又はその点を通る線対称）な形状で、膜 1 4 を形成することが好ましい。こうすることで、半導体素子 2 0 に対して対称な接着力を与えられる。膜 1 4 の外周端と、リード 1 2 の先端とは、できるだけ大きな間隔をあけて形成することが好ましく、少なくとも $25\ \mu\text{m}$ ~ $50\ \mu\text{m}$ 程度、余裕がある場合にはそれ以上の間隔をあけて形成することが好ましい。

膜 1 4 は、導電性材料で構成することができる。導電性材料として金属が挙げられる。例えば、銅の表面全面に金又は錫のメッキを施して膜 1 4 を形成することができる。あるいは、金で膜 1 4 を形成してもよい。金属は、基板 1 0 の基材の表面よりも、接着剤 3 0 との接着性が低いことが多い。

上記基板 1 0 に、半導体素子 2 0 が実装されている。半導体素子 2 0 には、複数の電極 2 2 が形成されている。この電極 2 2 には、導電性突起（バンプ）が形成されていることが好ましい。半導体素子 2 0 は、電極 2 2 が形成された面を、基板 1 0 の基材におけるリード 1 2 及び膜 1 4 が形成された面に向けて位置している。また、少な

くとも一つの電極 2 2 は、いずれかのリード 1 2 の一部上に位置する。リード 1 2 にランド部が形成されている場合には、電極 2 2 は、ランド部上に位置する。半導体素子 2 0 における電極 2 2 が形成された面で電極 2 2 を除く領域は、膜 1 4 の全部、一部又は少なくとも一部に対向する。電極 2 2 のうち、全部ではなくて少なくとも一つが膜 1 4 上に位置してもよい。

基板 1 0 と半導体素子 2 0 とは、接着剤 3 0 によって接着されている。接着剤 3 0 は、エポキシ樹脂を主な材料とするものであってもよい。接着剤 3 0 は、絶縁性のものであってもよい。あるいは、接着剤 3 0 は、導電粒子が分散された異方性導電接着剤 (ACA)、例えば異方性導電膜 (ACF) や異方性導電ペースト (ACP) であってもよい。その場合には、基板 1 0 の基材に形成されたリード 1 2 と、半導体素子 2 0 に形成された電極 2 2 との間に、導電粒子が介在して両者間の電気的な接続が図られる。あるいは、リード 1 2 と電極 2 2 とが直接的に接合されて、接着剤 3 0 にて基板 1 0 と半導体素子 2 0 とが接着されていてもよい。半導体素子 2 0 における電極 2 2 が形成された面は、膜 1 4 に対向している。この場合は、電極 2 2 上もしくはリード 1 2 上の少なくともいずれか一方において導電性突起が形成されていることが好ましい。

ここで用いる接着剤 3 0 は、基板 1 0 の基材に対する接着力よりも、膜 1 4 に対する接着力が低いものを使用する。したがって、接着剤 3 0 は、基板 1 0 の基材におけるリード 1 2 及び膜 1 4 の形成されない領域に対して高い接着力で接着しているので、基板 1 0 と半導体素子 2 0 とを強固に接着する。また、接着剤 3 0 は、リード 1 2 及び膜 1 4 上に対して低い接着力で接着しているので、流動性が高まるなどの理由で、リード 1 2 及び膜 1 4 の表面にボイドや空孔が形成されにくくなる。したがって、ボイドや空孔に水分が溜まることを防止でき、信頼性を高めることができる。

本実施の形態は、上記のように構成されており、以下その製造方法を説明する。まず、基板 1 0 の基材にリード 1 2 及び膜 1 4 を形成する。リード 1 2 及び膜 1 4 は、別々の工程で形成することもできるが、同一の工程で形成することが好ましい。例えば、基板 1 0 の基材に金属箔などの導電箔を形成し、これをエッチングしてリード 1 2 及び膜 1 4 を一括形成することができる。

そして、複数の電極 2 2 を有する半導体素子 2 0 における電極 2 2 が設けられた面と、リード 1 2 及び膜 1 4 が形成された基板 1 0 の基材におけるリード 1 2 及び膜 1 4 が形成された面と、の少なくともいずれか一方に接着剤 3 0 を設ける。接着剤 3 0 は、予め粘着テープとして構成してもよい。また、接着剤 3 0 として異方性導電材料又は異方性導電膜を使用することもできる。

次に、複数の電極 2 2 を有する半導体素子 2 0 における電極 2 2 が設けられた面と、リード 1 2 及び膜 1 4 が形成された基板 1 0 の基材におけるリード 1 2 及び膜 1 4 が形成された面と、を対向させる。そして、複数の電極 2 2 のうちの少なくとも一つ又は全部と、複数のリード 1 2 のうちの少なくとも一つ又は全部と、を位置合わせする。さらに、半導体素子 2 0 と基板 1 0 とを間隔が狭くなる方向に加圧する。接着剤 3 0 として樹脂中に導電粒子が存在する異方性導電材料、例えば固体状の異方性導電膜が使用される場合には、電極 2 2 とリード 1 2 との間で導電粒子がつぶされて両者間が電氣的に導通するまで加圧する。両者（電極 2 2 とリード 1 2）が電氣的に導通した状態で固着される。

以上の工程によって、半導体装置を製造することができる。本実施の形態によれば、接着剤 3 0 によって半導体素子 2 0 と基板 1 0 とを接着するので、簡単に両者の接合が可能であり、しかも、電極 2 2 とリード 1 2 との電氣的な接続を図ることができる。また、基板 1 0 の基材には、半導体素子 2 0 の面と対向する領域に、基板 1 0 の基材よりも接着剤 3 0 との接着性が低い膜 1 4 が形成されている。したがって、この膜 1 4 の表面には、空孔やボイドができにくくなっているおり、信頼性の高い半導体装置の製造が可能になる。

（第 2 の実施の形態）

図 3 は、本発明を適用した第 2 の実施の形態に係る半導体装置を説明する図であり、図 4 は、図 3 に示す半導体装置で使用される基板を示す図である。本実施の形態に係る半導体装置は、基板 4 0 と、第 1 の実施の形態で説明した半導体素子 2 0 及び接着剤 3 0 とを含む。基板 4 0 は、第 1 の実施の形態で説明した基板 1 0 の膜 1 4 の形状を変形させたもので、それ以外の構成は基板 1 0 と同じ構成を採用できるので説明を省略する。

基板 40 の膜 44 は、少なくとも一つの開口 46 が形成されている点で、膜 14 と異なる。開口 46 は、基板 40 の基材の表面を露出させるもので、その形状は円形、矩形、多角形などいずれの形状であってもよい。開口 46 を形成することで、膜 40 の少なくとも一部において、基板 40 の基材の表面が露出し、接着剤 30 が開口 46 に入り込む。こうすることで、接着剤 30 が基板 40 に接着する領域が多くなり、半導体素子 20 と基板 40 との接着力が高まる。特に、一つの大きな開口 46 を形成するよりも、膜 44 の複数箇所に複数の比較的小さな開口 46 を形成することが好ましい。こうすることで、膜 44 上での空孔やボイドの発生を防止しつつ、接着力の低下を防ぐことができる。膜 44 に開口 46 を形成するときには、膜 44 を例えば 8 ~ 12 μm 程度に薄く形成すれば、開口 46 に接着剤 30 が入り込みやすく、空気が逃げやすいので好ましい。

本実施の形態に係る半導体装置の製造方法には、第 1 の実施の形態で説明した方法を適用することができる。金属箔や導電箔をエッチングしてリード 12 及び膜 44 を形成するのであれば、開口 46 も同時に形成することができる。

(第 3 の実施の形態)

図 5 は、本発明を適用した第 3 の実施の形態に係る半導体装置を説明する図である。本実施の形態に係る半導体装置は、基板 50 と、第 1 の実施の形態で説明した半導体素子 20 及び接着剤 30 とを含む。基板 50 は、第 1 の実施の形態で説明した基板 10 に、スルーホール 52 を形成し、リード 12 とは反対側の面にリード 54 を形成したもので、それ以外の構成は基板 10 と同じ構成を採用できるので説明を省略する。

スルーホール 52 は、基板 50 の基材の一方の面に形成された複数のリード 12 のうちのいずれかと、基板 50 の基材の他方の面に形成された複数のリード 54 のうちのいずれかと、の間に形成されている。スルーホール 52 には、金などのメッキやハンダなどの導電部材が設けられており、基板 50 の両面のリード 12、54 を電氣的に接続している。基板 50 の基材の他方の面に形成されたリード 54 には、ハンダボールなどの外部電極 56 が設けられてもよい。ハンダボールを設けずにリード 54 自体に外部端子の役目を担わせてもよい。これら以外の構成及び製造方法は、第 1 の実施の形態の構成及び製造方法を適用することができる。

膜 1 4 が存在することで、例えばポリイミド基板のような可撓性の基板において膜 1 4 が不在の場合に起こり得る基板の反りの発生を抑制できるという効果を有する。基板の基材上に膜 1 4 が形成されていない場合には、特に基板が可撓性を有する基板であれば基板自体が反るという問題が発生するが、膜 1 4 が設けられたことで強度的にも優位性を保つことができる。つまり、気泡の発生を抑制することのできる本構造を採用することで、外部端子の形成される面において十分に平坦性を確保することができる。したがって、外部接続時の信頼性向上にもつながる。

(第 4 の実施の形態)

図 6 は、本発明を適用した第 4 の実施の形態に係る半導体装置で使用される基板を示す図である。基板 1 1 0 は、第 1 の実施の形態で説明した基板 1 0 の膜 1 4 の形状を変形させた膜 1 1 4 を有する。

基板 1 1 0 には、複数のリード 1 1 2 が形成されており、膜 1 1 4 は、リード 1 1 2 間に入り込むように形成されている。例えば、一対のリード 1 1 2 が平行に並んでおり、その間に入り込む凸部 1 1 6 を有するように膜 1 1 4 が形成されている。膜 1 1 4 には、複数の凸部 1 1 6 が形成されている。凸部 1 1 6 とリード 1 2 とは、できるだけ大きな間隔をあけて形成することが好ましく、例えば $25\mu\text{m} \sim 50\mu\text{m}$ 程度の間隔をあけて形成することが好ましい。それ以外の構成は基板 1 0 と同じ構成を採用できるので説明を省略する。本実施の形態でも、第 1 の実施の形態で説明した効果を達成することができる。

(第 5 の実施の形態)

図 7 には、本発明を適用した第 5 の実施の形態に係る半導体装置 1 1 0 0 を実装した回路基板 1 0 0 0 が示されている。回路基板には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置の外部電極とを機械的に接続することでそれらの電氣的導通を図る。

(第 6 の実施の形態)

本発明を適用した電子機器として、図 8 には、半導体素子 2 0 が実装された基板 1 0 に、液晶パネル 6 0 を取り付け例が示されている。半導体素子 2 0 は、液晶パネ

ル60のドライバとなる。

(第7の実施の形態)

図9は、本発明を適用した第7の実施の形態に係る電子機器を示す図である。図9に示す電子機器は、LCDモジュールであり、液晶パネル120と、半導体素子122と、基板124と、を含む。半導体素子122は液晶パネル120の駆動回路を含む。半導体素子122と基板124との接着構造に本発明が適用されている。半導体素子122が基板124に実装されて半導体装置を構成している。半導体素子122の実装には、COF (Chip On Film) が適用されている。したがって、基板124は、例えば25 μ m程度の薄いフレキシブルなフィルムである。このような基板124は、例えば、フィルムにマトリクス状に複数の配線パターンをパターンニングして形成し、各配線パターンのうち電気的な接続をしない部分にレジストを設け、各配線パターンに応じて個片に打ち抜いて形成される。

図10は、本実施の形態における半導体装置の詳細を示す図である。基板124には、複数のリード126と、膜128と、が形成されている。リード126は液晶パネル120と電気的に接続される。

膜128には、形状を除いて第1の実施の形態で説明した内容が当てはまる。膜128は、少なくとも1つ(1つ又は複数)のリード126を避けて形成されている。また、膜128には、少なくとも1つ(1つ又は複数)のリード126が接続されていてよい。

膜128は、半導体素子122の電極130が形成された面の領域内に配置される第1の部分と、その面からはみ出す第2の部分と、を有する。第1の部分では、半導体素子122の電極130(好ましくはバンプ)が膜128上に接触して電気的に導通してもよい。この場合、膜128全体を接地電位(GND電位)としてもよい。

あるいは、第1の部分は、電極130を避ける形状をなしていてもよい。例えば、第1の部分に凹部が形成されて電極130を避けている場合、凹部内にリード126が入り込み、凹部内で電極130がリード126に接合されていてよい。

膜128のうち、半導体素子122の電極130が形成された面から、第2の部分がはみ出すことで、半導体素子122と基板124とを接着する接着剤内に生じた気

泡を、膜 1 2 8 上で分散させて外に抜きやすい。

図 9 に示す電子機器には、少なくとも 1 つの電子部品 1 3 2 が搭載されていてもよい。このような電子機器の製造方法は、基板 1 2 4 に半導体素子 1 2 2 を実装する工程と、電子部品 1 3 2 を実装する工程と、半導体素子 1 2 2 が実装された基板 1 2 4 を液晶表示パネル 1 2 0 に接続する工程と、を含む。

半導体素子 1 2 2 の実装には、例えば異方性導電材料を使用したフェースダウンボンディングを適用してもよい。電子部品 1 3 2 の実装には、リフロー工程を経てハンダ等のろう付けを行う S M T (Surface Mount Technology) 方式を適用してもよい。基板 1 2 4 の汚れを減らすため又はなくすために、ろう付けを行う工程は、できるだけ後で行うことが好ましい。

上述した全ての実施の形態において、接着剤が配置される領域には、例えば膜や配線パターンのような接着剤とは接着性の悪い領域と、基板の基材のように接着剤とは接着性の良い領域とが存在する。空孔やボイドの発生を抑えるためには、接着剤の配置領域において、

接着性の悪い領域の面積 \geq 接着性の良い領域の面積
となるように工夫するとよい。

なお、上記本発明の構成要件「半導体素子」を「電子素子」に置き換えて、半導体素子と同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

請 求 の 範 囲

1. 複数の電極を有する半導体素子の前記電極が設けられた面と、複数のリードの形成された基板の前記リードが形成された面と、の間に、接着剤を設ける工程と、

前記複数の電極のうちの少なくとも一つと、前記複数のリードのうちの少なくとも一つとを対向させて位置合わせする工程と、

前記半導体素子と前記基板とを間隔が狭くなる方向に加圧する工程と、

を含み、

前記基板の前記リードが形成された前記面には、前記半導体素子が接着される領域の少なくとも一部の領域に、前記基板の基材よりも前記接着剤との接着性が低い膜が形成されている半導体装置の製造方法。

2. 請求項 1 記載の半導体装置の製造方法において、

前記接着剤は、絶縁性を有する母材に導電粒子が分散されて異方性導電材料を構成する半導体装置の製造方法。

3. 請求項 1 記載の半導体装置の製造方法において、

前記リード及び前記膜を、前記基材に貼り付けられた導電箔をエッチングして形成する半導体装置の製造方法。

4. 請求項 1 記載の半導体装置の製造方法において、

前記膜の形成には、前記リードを形成する際に用いられる導電箔が用いられる半導体装置の製造方法。

5. 請求項 4 記載の半導体装置の製造方法において、

前記リードの形成と同時に前記膜を形成する半導体装置の製造方法。

6. 請求項 1 記載の半導体装置の製造方法において、

前記電極を、前記半導体素子の前記面の端部に設け、

前記膜を、前記半導体素子の前記面の中央部に対向する領域に形成する半導体装置の製造方法。

7. 請求項 1 から請求項 6 のいずれかに記載の半導体装置の製造方法において、

前記膜を面状に形成し、前記基板の表面が露出する少なくとも一つの開口を前記膜に形成する半導体装置の製造方法。

8. 請求項 1 から請求項 6 のいずれかに記載の半導体装置の製造方法において、

前記膜を、前記半導体素子が接着される領域をはみ出して形成する半導体装置の製造方法。

9. 請求項 1 から請求項 6 のいずれかに記載の半導体装置の製造方法において、

前記膜を、前記半導体素子が接着される領域の中心点に対して、対称に形成する半導体装置の製造方法。

10. 請求項 1 から請求項 6 のいずれかに記載の半導体装置の製造方法において、

前記膜を、少なくとも 1 つの前記リードを避けた形状で形成する半導体装置の製造方法。

11. 請求項 1 から請求項 6 のいずれかに記載の半導体装置の製造方法において、

前記膜の一部を、前記電極と重なる位置に形成する半導体装置の製造方法。

12. 複数の電極を有する半導体素子と、複数のリードが形成された基板と、前記半導体素子の前記電極が設けられた面と前記基板の前記リードが形成された面との間に設けられて前記半導体素子と前記基板とを接着する接着剤と、

を含み、

前記複数の電極のうちの少なくとも一つと、前記複数のリードのうちの少なくとも一つとは電氣的に接続され、

前記基板には、前記半導体素子と対向する領域の少なくとも一部を含む領域に、前記基板の基材よりも前記接着剤との接着性が低い膜が形成されている半導体装置。

13. 請求項 12 記載の半導体装置において、

前記接着剤は、絶縁性を有する母材に導電粒子が分散されて異方性導電材料を構成する半導体装置。

14. 請求項 12 記載の半導体装置において、

前記リード及び前記膜は、同一の導電性材料で構成されている半導体装置。

15. 請求項 12 記載の半導体装置において、

前記電極は、前記半導体素子の前記面の端部に設けられ、

前記膜は、前記半導体素子の前記面の中央部に対向する領域に形成されている半導体装置。

16. 請求項12から請求項15のいずれかに記載の半導体装置において、

前記膜は、面状に形成され、前記基板の表面が露出する少なくとも一つの開口を有する半導体装置の製造方法。

17. 請求項12から請求項15のいずれかに記載の半導体装置において、

前記膜は、前記半導体素子が接着される領域をはみ出して形成されている半導体装置。

18. 請求項12から請求項15のいずれかに記載の半導体装置において、

前記膜は、前記半導体素子が接着される領域の中心点に対して、対称に形成されている半導体装置。

19. 請求項12から請求項15のいずれかに記載の半導体装置において、

前記膜は、少なくとも1つの前記リードを避けた形状で形成されている半導体装置。

20. 請求項12から請求項15のいずれかに記載の半導体装置において、

前記膜の一部は、前記電極と重なる位置に形成されている半導体装置の製造方法。

21. 請求項12から請求項15のいずれかに記載の半導体装置が実装された回路基板。

22. 請求項12から請求項15のいずれかに記載の半導体装置を有する電子機器。

THIS PAGE BLANK (USPTO)

1 / 7

FIG.1

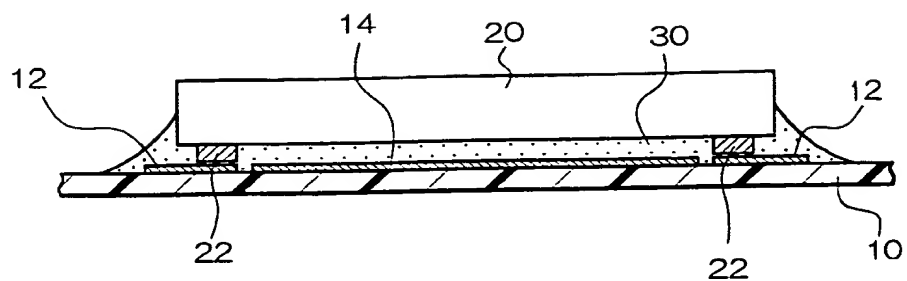
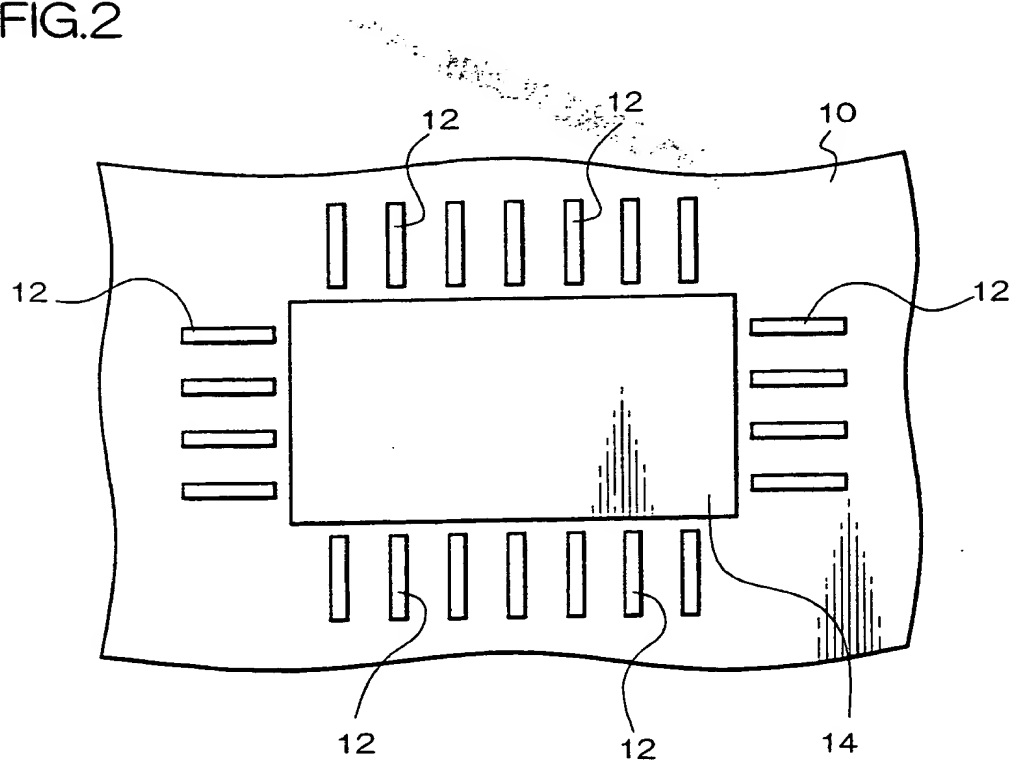


FIG.2



THIS PAGE BLANK (USPTO)

2 / 7

FIG.3

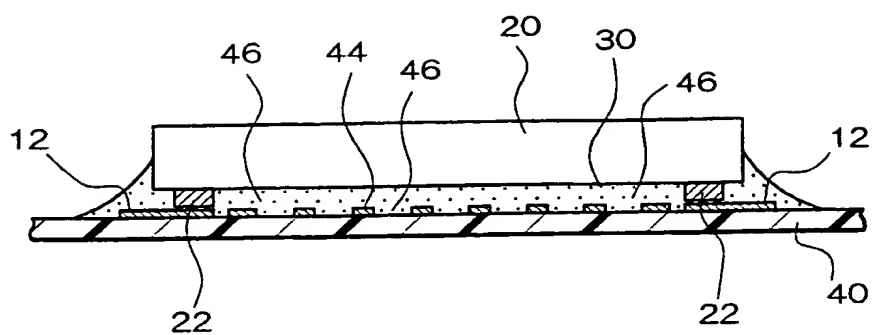
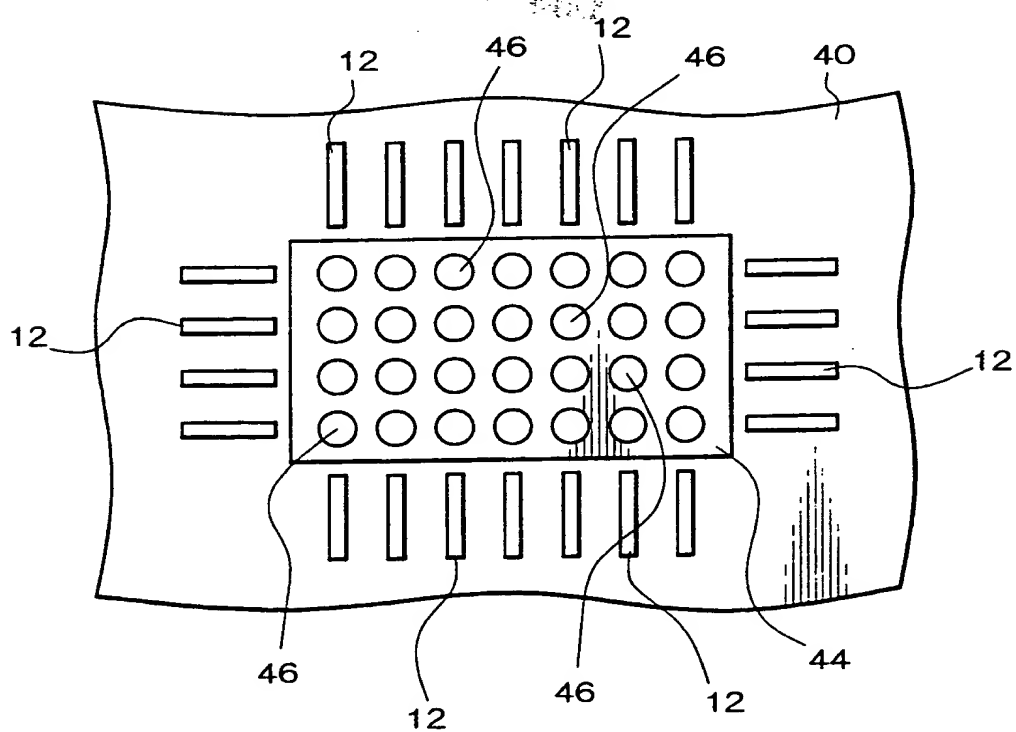


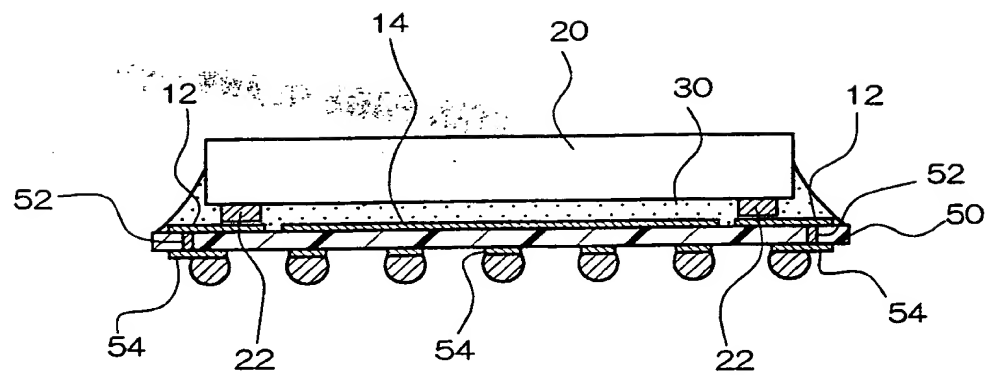
FIG.4



THIS PAGE BLANK USPT

3 / 7

FIG. 5

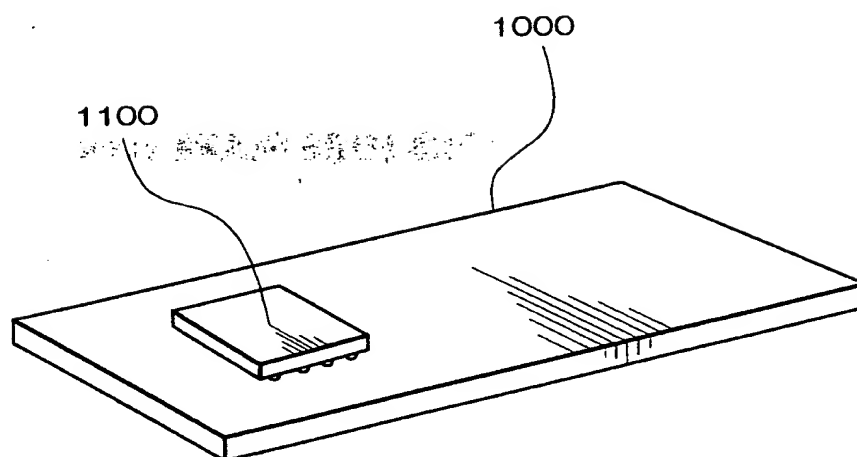


THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

5 / 7

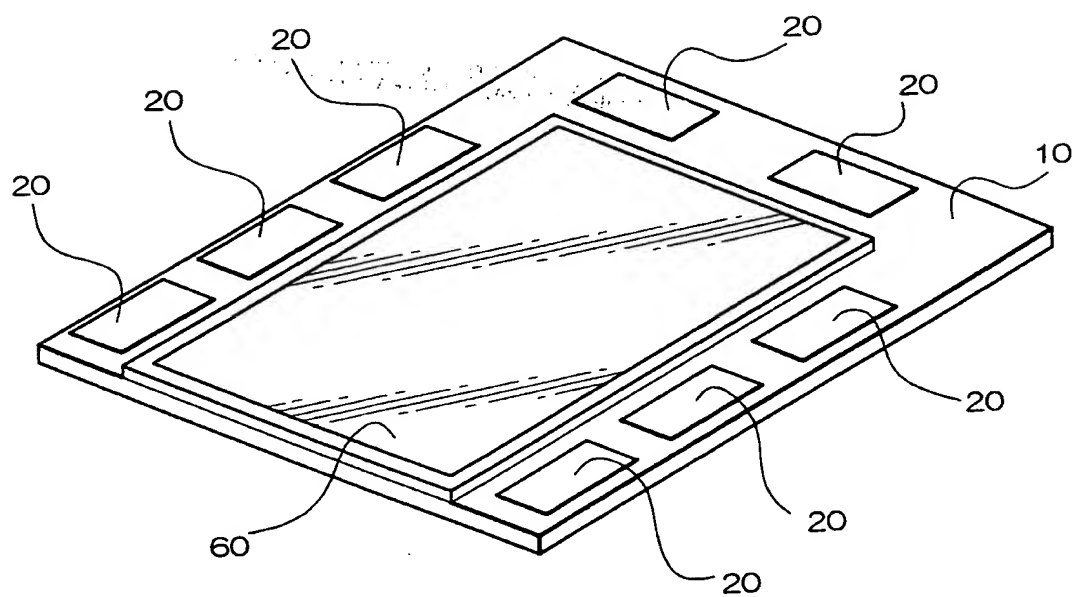
FIG. 7



THIS PAGE BLANK (USPTO)

6 / 7

FIG. 8



THIS PAGE BLANK (USPTO)

7/7

FIG.9

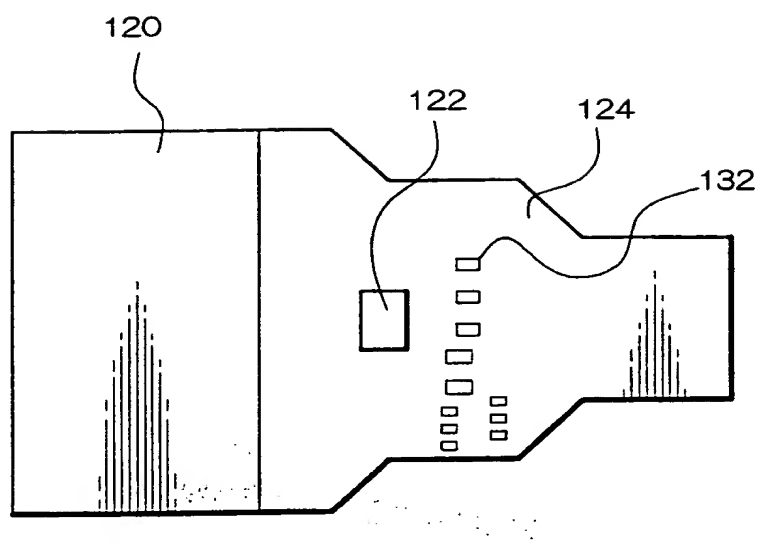
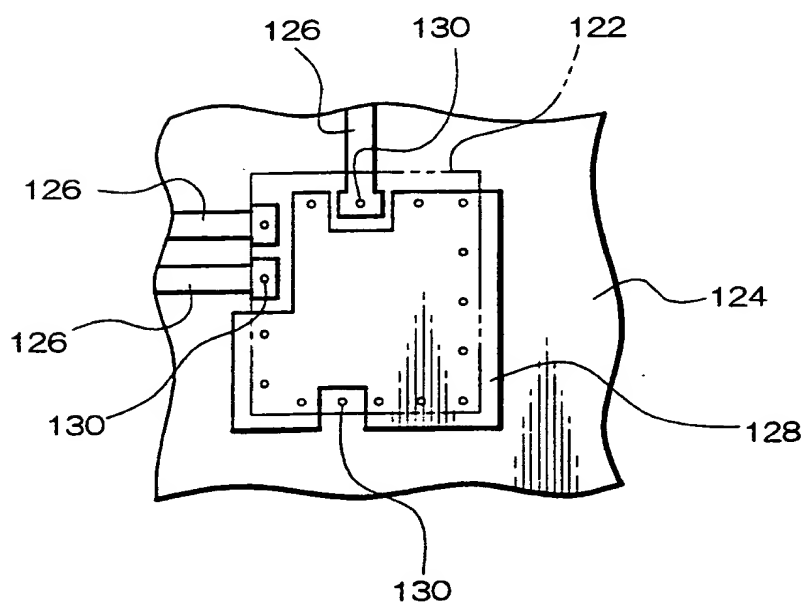


FIG.10



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/05967

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L21/60Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Kokai Jitsuyo Shinan Koho 1971-1996Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
USC 257/783

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US, 5783867, A (Ford Motor Company), 21 July, 1998 (21.07.98) (Family: none)	1-22
A	JP, 10-112475, A (Sony Corporation), 28 April, 1998 (28.04.98) (Family: none)	1-22

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 November, 1999 (09.11.99)Date of mailing of the international search report
24 November, 1999 (24.11.99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

国際調査報告

国際出願番号 PCT/J P 99/05967

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/60

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁶ H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国公開実用新案公報 1971-1996年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

USC 257/783

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5783867, A (Ford Motor Company) 21日.7月.1998 (21.07.98), (ファミリーなし)	1-22
A	J P, 10-112475, A (ソニー株式会社) 28日.4月.1998 (28.04.98), (ファミリーなし)	1-22

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

09.11.99

国際調査報告の発送日

24.11.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川真田 秀男

印

4 R

7220

電話番号 03-3581-1101 内線 3470

THIS PAGE BLANK 1977

PCT REQUEST

EPPC-2125

Original (for SUBMISSION) - printed on 23.06.2000 04:39:01 PM

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.90 (updated 15.12.1999)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	EPPC-2125
I	Title of invention	SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC INSTRUMENT
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	SEIKO EPSON CORPORATION
II-5	Address:	4-1, Nishi-shinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
II-8	Telephone No.	03-3348-3114
II-9	Facsimile No.	03-3340-4258
III-1	Applicant and/or inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	NAKAYAMA, Toshiyuku
III-1-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-1-6	State of nationality	JP
III-1-7	State of residence	JP

THIS PAGE BLANK (USPTO)

PCT REQUEST

2/3

EPPC-2125

Original (for SUBMISSION) - printed on 23.06.2000 04:39:01 PM

IV-1	Agent or communication representative ; r address for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent	
IV-1-1	Name (LAST, First)	INOUE, Hajime	
IV-1-2	Address:	2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan	
IV-1-3	Telephone No.	03-5397-0891	
IV-1-4	Facsimile No.	03-5397-0893	
IV-1-5	e-mail	MXJ00663@nifty.ne.jp	
V	Designation of States		
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE and any other State which is a Contracting State of the European Patent Convention and of the PCT	
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	JP US	
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.		
V-6	Exclusion(s) from precautionary designations	NONE	
VI-1	Priority claim of earlier national application		
VI-1-1	Filing date	30 October 1998 (30.10.1998)	
VI-1-2	Number	10-326184	
VI-1-3	Country	JP	
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	3	-
VIII-2	Description	14	-
VIII-3	Claims	3	-
VIII-4	Abstract	1	-
VIII-5	Drawings	7	-
VIII-7	TOTAL	28	

THIS PAGE BLANK (USPTO)

PCT REQUEST

3/3

EPPC-2125

Original (for SUBMISSION) - printed on 23.06.2000 04:39:01 PM

Accompanying items		paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract		
VIII-19	Language of filing of the international application	Japanese	
IX	Signature of applicant or agent		
IX-1	Name (LAST, First)		
IX-2	Capacity		

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

THIS PAGE BLANK (USPTO)